

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-147337

(43)公開日 平成7年(1995)6月6日

(51)IntCl<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8247

29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21)出願番号

特願平5-293333

(22)出願日

平成5年(1993)11月24日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 安藤 仁志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

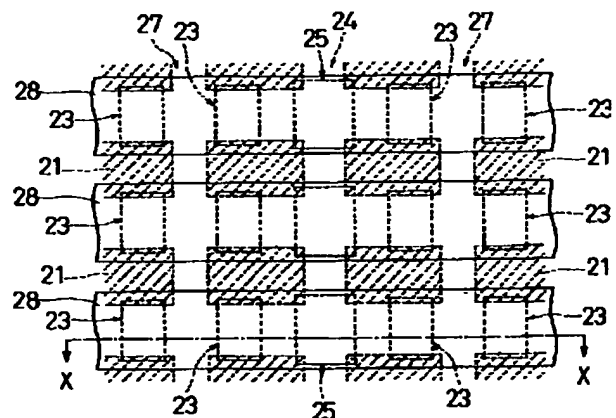
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 不揮発性半導体メモリ装置及びその製造方法

(57)【要約】

【目的】 フローティングゲートを有する不揮発性半導体メモリ装置の記憶容量を大きくする。

【構成】 半導体基板20上に複数のフローティングゲート23が行列配置される。各フローティングゲート23から一定の距離を隔てた基板領域に、列方向に連続する複数のドレイン領域24が形成され、このドレイン領域24上にダミーゲート25が配置される。フローティングゲート23の間の基板領域に、ドレイン領域24と平行に列方向に連続するソース領域27が形成される。フローティングゲート23とダミーゲート25とを覆う複数の制御ゲート28がドレイン領域24及びソース領域27と交差するように列方向に延在して配置される。



## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、この半導体基板上に行列配置される複数の浮遊ゲートと、この浮遊ゲートから一定の距離を隔てた上記半導体基板の表面領域に形成され、上記浮遊ゲートの列方向に連続する複数の逆導電型の第1の半導体領域と、この第1の半導体領域と重なり上記半導体基板上に上記浮遊ゲートと並列に配置される模擬ゲートと、上記浮遊ゲート及び上記模擬ゲート上に配置され、上記浮遊ゲートの行方向に連続する複数の制御ゲートと、上記浮遊ゲートの上記模擬ゲート

10 に対向する側とは反対側の上記半導体基板の表面領域に形成され、上記浮遊ゲートの列方向に連続する逆導電型の第2の半導体領域と、を備えたことを特徴とする不揮発性半導体メモリ装置。

【請求項2】 一導電型の半導体基板上に積層された第1のゲート材料層上に、所定の距離を隔てて対を成すと共に行列配置された複数の開口を有する耐酸化膜を形成する工程と、上記耐酸化膜の各開口の一方から上記第1のゲート材料層を突き抜けて上記半導体基板の表面領域に逆導電型の不純物イオンを注入して逆導電型の第1の

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、浮遊（フローティング）ゲートを有する不揮発性半導体メモリ装置及びその製造方法に関する。

## 【0002】

【従来の技術】メモリセルが単一のトランジスタからなる電氣的に消去可能なプログラマブルROM（EEPROM: Electrically Erasable Programmable ROM）においては、フローティングゲートと制御ゲートとを有する2重ゲート構造のトランジスタが用いられる。このような2重ゲ

域付近で発生したホットエレクトロンを加速してフローティングゲートに注入することでデータの書き込みが行われる。そして、F-N（Fowler-Nordheim）トンネリングによってフローティングゲートから制御ゲートへ電荷を引き抜くことでデータの消去が行われる。

【0003】図9は、フローティングゲートを有する不揮発性半導体メモリ装置のメモリセル部分の平面図、図10は、そのX-X線断面図である。この図では、制御ゲートがフローティングゲートと並んで配置されるスプリットゲート構造を示している。P型の半導体基板1の表面領域に、部分的に厚く形成される酸化膜（ $SiO_2$ ）よりなる分離領域2が複数の短冊状に形成され、素子領域が区画される。半導体基板1上に、酸化膜3を介し、分離領域2の間に跨るようにしてフローティングゲート4が配置される。このフローティングゲート4は、メモリセル毎に独立して配置される。また、フローティングゲート4上の酸化膜5は、フローティングゲート4の端部側の膜厚が薄くなるように形成され、これにより、フローティングゲート4の端部を鋭角に形成して電界集中が生じるようにしている。複数のフローティングゲート4が配置された半導体基板1上に、フローティングゲート4の各列毎に対応して制御ゲート6が配置される。この制御ゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3を介して半導体基板1に接するように配置される。また、これらのフローティングゲート4及び制御ゲート6は、それぞれ隣り合う列が互いに線対称となるように配置される。制御ゲート6の間の基板領域及びフローティングゲート4の間の基板領域に、N型のドレイン領域7及びソース領域8が形成される。ドレイン領域7は、制御ゲート6の間で分離領域2に囲まれてそれぞれが独立し、ソース領域8は、制御ゲート6の延在する方向に連続する。これらのフローティングゲート4、制御ゲート6、ドレイン領域7及びソース領域8によりメモリセルトランジスタが構成される。そして、制御ゲート6上に、酸化膜9を介して、アルミニウム配線10が制御ゲート6と交差する方向に配置される。このアルミニウム配線10は、コンタクトホール11を通して、それぞれドレイン領域7に接続される。

40 【0004】このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲート4に注入される電荷の量によって閾値電圧が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセルトランジスタの閾値電圧を変動させ、これによって生じる動作特性の差を書き込みデータと対応付けるようにしている。

【0005】図11は、図9に示すメモリセル部分の回路図である。3行×3列配置された2重ゲート構造のメモリセルトランジスタ12は、各ゲートがワード線13

スが接地される。実際には、制御ゲート6自体がビット線13を成し、アルミニウム配線10がワード線14を成す。そして、ワード線13がロウデコーダに接続されると共に、ビット線14がカラムデコーダに接続され、それぞれが選択的に活性化される。これにより、ロウアドレス及びカラムアドレスに応答して特定のメモリセルトランジスタ12が指定されることになる。

#### 【0006】

【発明が解決しようとする課題】半導体メモリ装置において、記憶容量を大容量化する際には、メモリセルトランジスタの微細化が必要となる。しかしながら、上述のスプリットゲート構造のトランジスタの場合、浮遊ゲート4と制御ゲート6との位置合わせが問題であり、ドレイン領域7とソース領域8との距離を短くすることが困難である。即ち、制御ゲート6が半導体基板1と接する部分の長さは、その精度が、フローティングゲート4に対する制御ゲート6の配置位置の精度により保たれているため、トランジスタのゲート長を短くすると、フローティングゲート4に対する制御ゲート6の僅かな位置ずれの影響が無視できなくなる。また、列方向に隣り合うメモリセルトランジスタの間に形成されるドレイン領域7には、ビット線14となるアルミニウム配線10が接続されるため、メモリセルトランジスタの配列ピッチの縮小の障害となる。

【0007】そこで本発明は、メモリセルトランジスタの微細化と共に配列ピッチの縮小を可能にすることを目的とする。

#### 【0008】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、一導電型の半導体基板と、この半導体基板上に行列配置される複数の浮遊ゲートと、この浮遊ゲートから一定の距離を隔てた上記半導体基板の表面領域に形成され、上記浮遊ゲートの列方向に連続する複数の逆導電型の第1の半導体領域と、この第1の半導体領域と重なり上記半導体基板上に上記浮遊ゲートと並列に配置される模擬ゲートと、上記浮遊ゲート及び上記模擬ゲート上に配置され、上記浮遊ゲートの行方向に連続する複数の制御ゲートと、上記浮遊ゲートの上記模擬ゲートに対向する側とは反対側の上記半導体基板の表面領域に形成され、上記浮遊ゲートの列方向に連続する逆導電型の第2の半導体領域と、を備えた不揮発性半導体メモリ装置を特徴とするものである。

【0009】そして、一導電型の半導体基板上に積層された第1のゲート材料層上に、所定の距離を隔てて対を成すと共に行列配置された複数の開口を有する耐酸化膜を形成する工程と、上記耐酸化膜の各開口の一方から上記第1のゲート材料層を突き抜けて上記半導体基板の表面領域に逆導電型の不純物イオンを注入して逆導電型の第1の半導体領域を形成する工程と、上記第1のゲート

工程と、上記第1のゲート材料層を選択的にエッチング除去し、上記耐酸化膜の各開口の一方に対応して模擬ゲートを形成すると共に他方に対応して浮遊ゲートを形成する工程と、上記浮遊ゲートの上記模擬ゲートに対向する側とは反対側の上記半導体基板の表面領域に上記浮遊ゲートをマスクとして逆導電型の不純物イオンを注入し、列方向に連続する第2の半導体領域を形成する工程と、列方向に隣り合う上記模擬ゲートの間の上記半導体基板の表面領域に逆導電型の不純物イオンを注入し、上記第1の半導体領域を列方向につなぐ第3の半導体領域を形成する工程と、上記模擬ゲート及び浮遊ゲートを覆って上記半導体基板上に積層された第2のゲート材料層を選択的にエッチング除去し、上記第1の制御ゲート及び上記フローティングゲート上に行方向に連続する制御ゲートを形成する工程と、を有する製造方法の特徴とするものである。

#### 【0010】

【作用】本発明の不揮発性半導体メモリ装置によれば、模擬ゲートの下の基板領域に形成される第1の半導体領域がドレインとして働くため、制御ゲートの実質的なゲート長が浮遊ゲートと模擬ゲートとの間の距離によって決定される。従って、浮遊ゲートに対する制御ゲートの位置ずれがメモリセルトランジスタの閾値電圧に影響しにくくなり、ゲート長を短くできる。また、各メモリセルトランジスタのドレイン領域毎にビット線を接続する必要がなくなるため、ドレイン領域を小さくしてメモリセルトランジスタの配列ピッチを縮小できる。

【0011】そして、本発明の製造方法によれば、第1の半導体領域と模擬ゲートとを同一マスクによって形成することで、第1の半導体領域の位置に対して模擬ゲートの位置が一致する。そして、模擬ゲートと浮遊ゲートとを同一工程により形成することで、模擬ゲートと浮遊ゲートとの間の距離が所定の値に保たれる。従って、模擬ゲートと浮遊ゲートとの間で制御ゲートが半導体基板に接する長さ、即ち、メモリセルトランジスタの実質的なゲート長が、浮遊ゲートに対する制御ゲートの位置ずれの影響を受けるなくなる。

#### 【0012】

【実施例】図1は、本発明の不揮発性半導体メモリ装置のメモリセル部分の平面図、図2は、そのX-X線断面図である。P型の半導体基板20の表面領域に、LOCOSよりなる複数の分離領域21が形成され、素子領域が区画される。半導体基板20上に、酸化膜22を介し、隣り合う分離領域21の間に跨るようにして複数のフローティングゲート23がそれぞれ独立に配置される。各フローティングゲート23から一定の距離を隔てた基板領域に列方向に連続するN型のドレイン領域24が形成される。また、ドレイン領域24と一致するように、半導体基板20上に酸化膜22を介して複数のダミ

2つのフローティングゲート23に挟まれるようにして配置されており、このダミーゲート25（またはドレイン領域24）を中心としてフローティングゲート23が線対称となるパターンを成している。ここで、フローティングゲート23及びダミーゲート25を覆う酸化膜26は、それぞれの端部で膜厚が薄くなるように形成され、フローティングゲート23の上面端部を鋭角に形成する。各フローティングゲート23の間の基板領域に、列方向に連続するN型のソース領域27が形成される。そして、フローティングゲート23及びダミーゲート25を覆うように、ドレイン領域24及びソース領域27と交差して列方向に連続する複数の制御ゲート28が互いに並行に形成される。これらフローティングゲート23、制御ゲート28、ドレイン領域24及びソース領域27によりメモリセルトランジスタが構成される。

【0013】この半導体メモリ装置におけるデータの書き込み、消去及び読み出しの各動作は、例えば、以下のように行われる。書き込み動作においては、制御ゲート28の電位を2Vとし、ドレイン領域24を0.5V、ソース領域27を1.2Vとする。これにより、ドレイン領域24付近で発生するホットエレクトロンがフローティングゲート23側へ加速され、酸化膜22を通してフローティングゲート23に注入されてデータの書き込みが成される。逆に、消去動作においては、ドレイン領域24及びソース領域27の電位を0Vとし、制御ゲート28の電位を1.4Vとする。これにより、フローティングゲート23内に保持されている電荷が、上面側の端部からF-Nトンネリングによって酸化膜22を突き抜けて制御ゲート28に放出され、データが消去される。このデータの消去においては、全てのメモリセルトランジスタに一樣に電圧を印加することによって一括消去が可能である。そして、読み出し動作においては、制御ゲート28の電位を4Vとし、ドレイン領域24を2V、ソース領域27を0Vとする。このとき、メモリセルトランジスタの閾値電圧が4V以下であればメモリセルトランジスタがオンしてドレイン領域24からソース領域27へ電流が流れ、閾値電圧が4V以上であればメモリセルトランジスタがオンせず、ドレイン領域24からソース領域27への電流は流れない。そこで、ドレイン領域24から流れ出す電流をセンスアンプにより検出することでメモリセルトランジスタのオン/オフの判定、即ち、書き込まれたデータの判定が成される。なお、ダミーゲート25については、フローティングゲート23と同様に電氣的に独立しており、何れの動作の場合も浮遊状態となる。

【0014】以上のような半導体メモリ装置においては、メモリセルトランジスタの実質的なゲート長、換言すれば、フローティングゲート23からドレイン領域24までの距離が、フローティングゲート23とダミーゲ

ーティングゲート23に対する制御ゲート28の位置ずれが生じて、メモリセルトランジスタのゲート長に変化はなく、閾値電圧やフローティングゲート23にホットエレクトロンを注入させる際の書き込み電圧の製造ばらつきは生じない。そして、各メモリセルトランジスタのドレイン領域24毎にアルミニウム配線を接続する必要がなく、ドレイン領域24が小さくなるため、行方向のメモリセルトランジスタの配列ピッチが縮小される。

【0015】図3は、図1に示すメモリセル部分の回路図である。3行×4列配置された2重ゲート構造のメモリセルトランジスタ30は、各ゲートがワード線31に接続され、ドレイン及びソースが第1及び第2のビット線32、33にそれぞれ接続される。実際には、制御ゲート28自体がビット線31を成し、列方向に連続するドレイン領域24及びソース領域27がそれぞれ第1及び第2のビット線32、33を成す。そして、ワード線31が行選択を行うXデコーダ34に接続され、第1及び第2のビット線32、33がそれぞれ列選択を行うYDデコーダ35及びYSデコーダ36に接続される。ここで、YDデコーダ35は、アドレスデータに応じて第1のビット線32、即ち、ドレイン領域24の一つを活性化し、YSデコーダ36は、第2のビット線33、即ち、ソース領域27の一つを活性化する。これにより、活性化されたドレイン領域24とソース領域27とに挟まれた列のメモリセルトランジスタが選択される。

【0016】図4乃至図8は、本発明の不揮発性半導体メモリ装置の製造方法を説明する工程別の断面図である。第1工程では、P型の半導体基板20上に酸化膜22を介して多結晶シリコン層40を積層し、この多結晶シリコン層40表面に窒化膜43を形成する。そして、図4に示すように、フローティングゲート23及びダミーゲート25を形成する位置に開口42を有するレジストパターン43を形成し、このレジストパターン43をマスクとして窒化膜41をエッチング除去する。なお、この段階においては、周知の選択酸化法(LOCOS:LOCal Oxidation of Silicon)により酸化膜22が選択酸化されて分離領域21が形成されているものとする。

【0017】第2工程では、図5に示すように、フローティングゲート23の形成位置に対応する開口42を被覆するように新たなレジストパターン44を形成し、このレジストパターン44及び第1工程で形成されたレジストパターン43をマスクとしてN型の不純物イオン、例えばリンイオン(P)を注入する。これにより、ダミーゲート25の形成位置に対応する半導体基板20の表面にN型の注入領域45が形成される。

【0018】第3工程では、図6に示すように、窒化膜41を耐酸化マスクとして多結晶シリコン層40を選択的に酸化する。この酸化によれば、窒化膜41の開口42の部分で、多結晶シリコン層40の酸化が表面側及び

が形成される。これにより、多結晶シリコン層40の膜厚が部分的に薄くなる。また、このときの加熱処理によりN型の注入領域45が拡散され、補助ドレイン領域24が形成される。

【0019】第4工程では、まず窒化膜41を除去し、さらに厚い酸化膜46の下が多結晶シリコン層40を残すようにして除去することで、図7に示すように、フローティングゲート23及びダミーゲート25を形成する。このように形成されたフローティングゲート23及びダミーゲート25は、上面側の端部が反り上がった形状を成している。

【0020】第5工程では、フローティングゲート23及びダミーゲート25を酸化膜46と共に熱酸化し、フローティングゲート23及びダミーゲート25を覆う酸化膜26を形成する。そして、図8に示すように、フローティングゲート23とダミーゲート25との間を被覆するレジストパターン47を形成し、このレジストパターン47及びフローティングゲート23をマスクとし、フローティングゲート23の間の基板領域に、N型の不純物イオン、例えばリンイオン(P)を注入し、ソース領域27を形成する。このとき、各ドレイン領域24を列方向につなげるため、列方向に隣り合うダミーゲート25の間の基板領域(図示せず)にもN型の不純物イオンを注入する。ところで、ソース領域27については、フローティングゲート23と結合してフローティングゲート23の電位を制御できるようにするため、フローティングゲート23の下領域まで拡げる必要がある。そこで、ソース領域27を形成する際のリンイオンの注入エネルギーをドレイン領域24形成のときよりも高くしてN型の領域が拡がり易いようにしている。なお、以上のN型の不純物イオン注入は、フローティングゲート23及びダミーゲート25を酸化するより先に行ってもよい。

【0021】その後の工程では、レジストパターン47を除去した後に再び多結晶シリコン層を積層し、この多結晶シリコン層40をフローティングゲート23及びダミーゲート25の各行に対応するようにパターンニングすることで行方向に延在する制御ゲート28を形成する。以上の製造方法によれば、ドレイン領域24を形成するための不純物イオンの注入と、ダミーゲート25の形成とで同一のマスクが用いられることから、ドレイン領域24に対するダミーゲート25の相対的位置のばらつきがなくなる。また、フローティングゲート23とダミーゲート25とが同一工程で形成されることから、互いの間の距離が常に所定の値に保たれており、これらの間で半導体基板20に接する制御ゲート28の長さも常に所定

の値に保たれる。

【0022】

【発明の効果】本発明によれば、2つのメモリセルトランジスタの間のドレイン領域をソース領域と同様に小さくできるため、メモリセルトランジスタの行方向の配列ピッチを縮小できる。また、メモリセルトランジスタの制御ゲートの位置ずれによる閾値電圧の変動がなくなるため、メモリセルトランジスタの微細化が可能になり、メモリセルトランジスタの配列ピッチの縮小と併せてメモリセル容量の増大に有効である。

【図面の簡単な説明】

【図1】本発明の半導体メモリ装置の平面図である。

【図2】本発明の半導体メモリ装置の断面図である。

【図3】本発明の半導体メモリ装置のメモリセル部分の回路図である。

【図4】本発明の半導体メモリ装置の製造方法の第1工程を示す断面図である。

【図5】本発明の半導体メモリ装置の製造方法の第2工程を示す断面図である。

【図6】本発明の半導体メモリ装置の製造方法の第3工程を示す断面図である。

【図7】本発明の半導体メモリ装置の製造方法の第4工程を示す断面図である。

【図8】本発明の半導体メモリ装置の製造方法の第5工程を示す断面図である。

【図9】従来の半導体メモリ装置の平面図である。

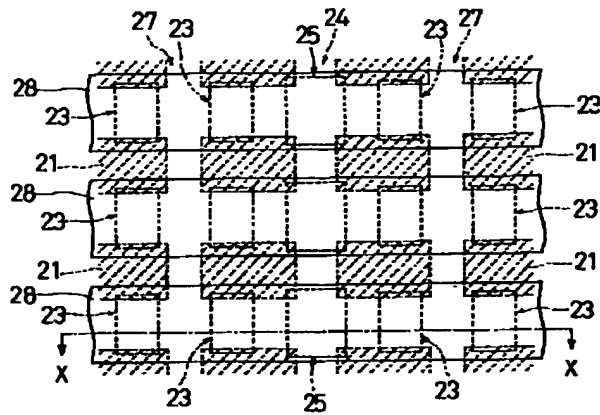
【図10】従来の半導体メモリ装置の断面図である。

【図11】従来の半導体メモリ装置のメモリセル部分の回路図である。

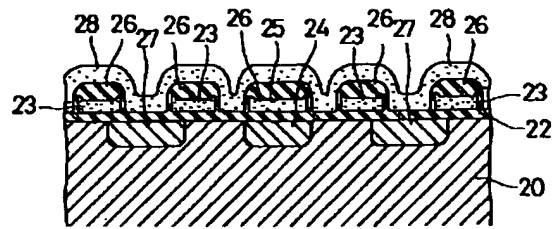
【符号の説明】

- 1、20 半導体基板
- 2、21 分離領域
- 3、5、9、22、26、46 酸化膜
- 4、23 フローティングゲート
- 6、28 制御ゲート
- 7、24 ドレイン領域
- 8、27 ソース領域
- 10 アルミニウム配線
- 11 コンタクトホール
- 12 メモリセルトランジスタ
- 13 ワード線
- 14 ビット線
- 40 多結晶シリコン層
- 41 窒化膜
- 43、44、47 レジストパターン

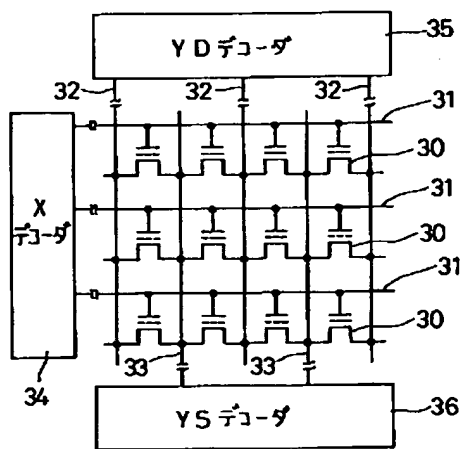
【図1】



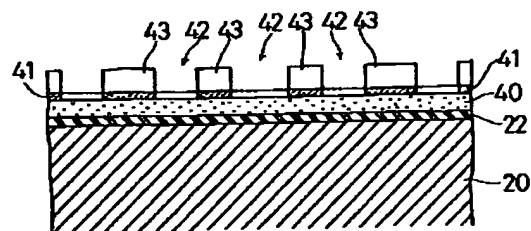
【図2】



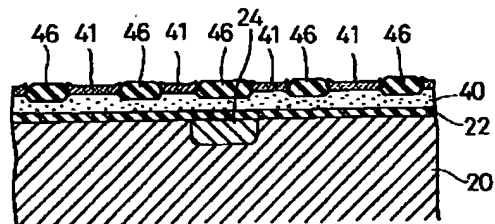
【図3】



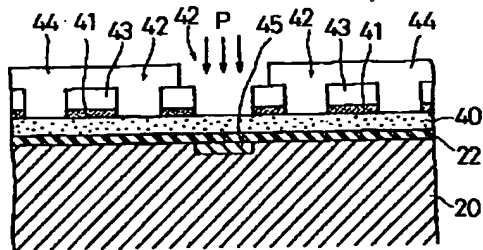
【図4】



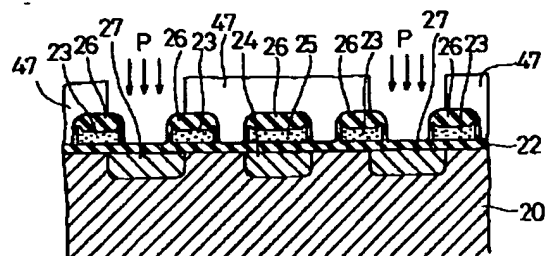
【図6】



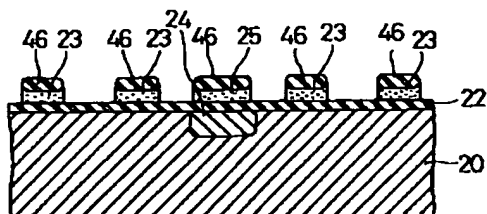
【図5】



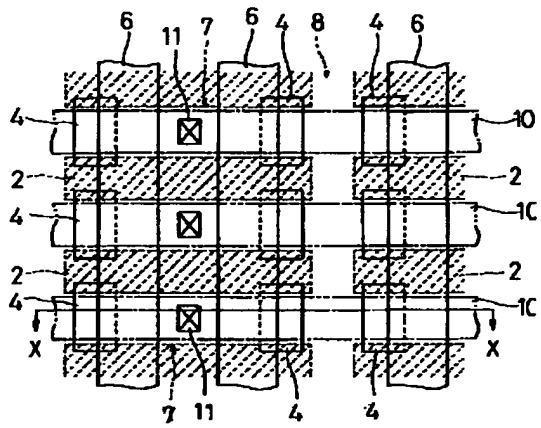
【図8】



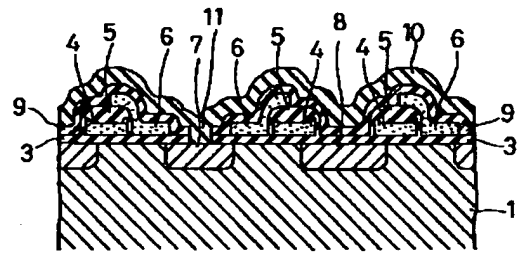
【図7】



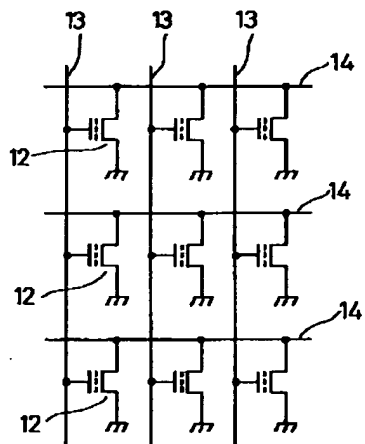
【図9】



【☒10】



【☒ 1 1】



CLIPPEDIMAGE= JP407147337A  
PAT-NO: JP407147337A  
DOCUMENT-IDENTIFIER: JP 07147337 A  
TITLE: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND ITS  
MANUFACTURE

PUBN-DATE: June 6, 1995

INVENTOR-INFORMATION:

NAME

ANDO, HITOSHI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP05293333

APPL-DATE: November 24, 1993

INT-CL\_(IPC): H01L021/8247; H01L029/788 ; H01L029/792

ABSTRACT:

PURPOSE: To increase the storage capacity of a nonvolatile semiconductor memory device having a floating gate.

CONSTITUTION: A plurality of floating gates 23 are arranged on a semiconductor substrate in a matrix manner. A plurality of drain regions 24 consecutive in the column direction are formed in substrate regions at definite distances from the individual floating gates 23, and dummy gates 25 are arranged on the drain regions 24. Source regions 27 consecutive in the column direction in parallel with the drain regions 24 are formed in the substrate regions between the floating gates 23. A plurality of control gates 28 which cover the floating gates 23 and the dummy gates 25 are arranged by extension in the column direction so as to cross the drain regions 24 and the source regions 27.